

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-324901

(43)Date of publication of application : 08.11.2002

(51)Int.Cl.

H01L 29/78

(21)Application number : 2001-129093

(71)Applicant : HITACHI LTD

(22)Date of filing : 26.04.2001

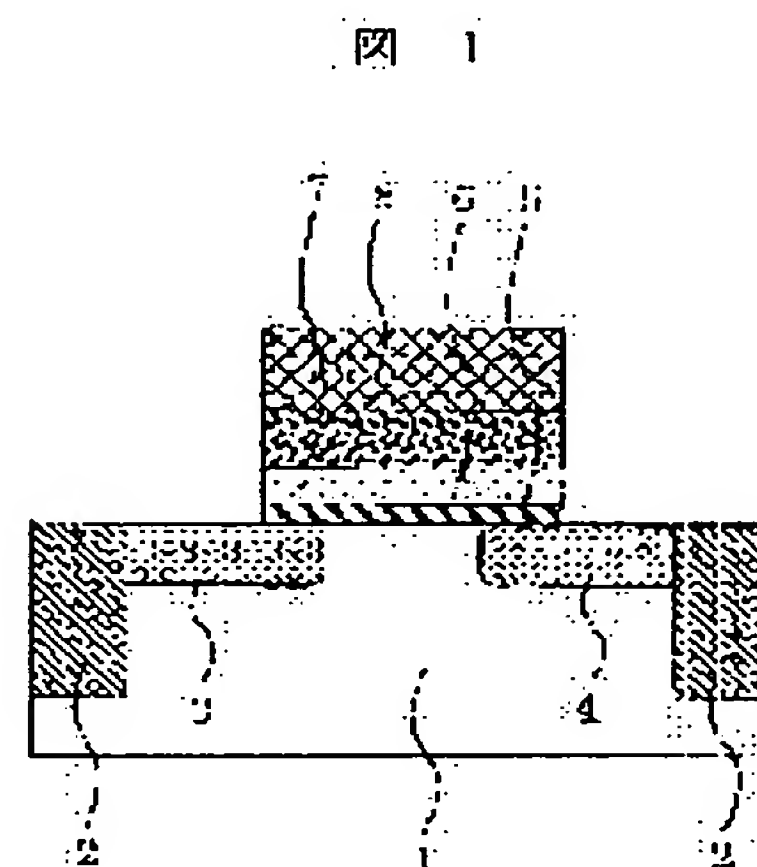
(72)Inventor : KADOSHIMA MASARU
NAMATAME TOSHIHIDE
SUZUKI TAKAAKI
MURATA YASUHIKO
HIRATANI MASAHIKO

(54) FIELD-EFFECT SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a field-effect semiconductor device which can increase the capacity of a gate insulation film and suppress the leakage current.

SOLUTION: The field-effect semiconductor device comprises a silicon substrate 1, the gate insulation film formed on the silicon substrate, and a gate electrode 8 formed on the gate insulation film. The gate insulation film comprises a glass-like buffer layer 5, a rare earth oxide layer 6, and a dielectric layer 7 having a higher relative permittivity than the rare earth oxide, all formed in this order from the silicon substrate 1 side.



1...シリコン基板 2...異質分層膜 3...ノード領域
4...ドレイン領域 5...ガラス状緩衝層 6...希土類酸化膜層
7...誘電体層 8...ゲート電極

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] It is the electric field effect mold semiconductor device characterized by said gate dielectric film consisting of silicon substrate sides in the electric field effect mold semiconductor device possessing the gate electrode on a silicon substrate, the gate dielectric film on said silicon substrate, and said gate dielectric film by the vitrified buffer coat, the rare earth oxide layer, and the dielectric layer with specific inductive capacity higher than said rare earth oxide.

[Claim 2] Said vitrified buffer coat is an electric field effect mold semiconductor device according to claim 1 which consists of Si₃N₄ and SiO₂, or matter that contains at least one sort of Ln (Ln is Sc, Y, La, and rare earth elements) further.

[Claim 3] The electric field effect mold semiconductor device according to claim 1 or 2 with which said dielectric layer consists of TiO₂, SrTiO₃, TiO (Ba, Sr)₃, Ta₂O₅, and at least one sort of WO₃, ZrO₂, HfO₂, and LaAlO₃.

[Claim 4] The electric field effect mold semiconductor device according to claim 1, 2, or 3 with which said rare earth oxide layer consists of at least one sort of Ln₂O₃ (rare earth elements with which Ln contains Sc, Y, and La).

[Claim 5] The electric field effect mold semiconductor device according to claim 1 to 4 whose thickness of said vitrified buffer coat is 0.2–2.0nm.

[Claim 6] The electric field effect mold semiconductor device according to claim 1 to 5 whose thickness of said rare earth oxide layer is 0.5–4.0nm.

[Claim 7] It is the process of the electric field effect mold semiconductor device which possesses the gate electrode on a silicon substrate, the gate dielectric film on said silicon substrate, and said gate dielectric film, and is characterized by forming by the chemical-vapor-deposition method using the organic metal raw material with which said rare earth oxide layer and said dielectric layer contain each configuration element in the process of the electric field effect mold semiconductor device with which said gate dielectric film consisted of a vitrified buffer coat, a rare earth oxide layer, and a dielectric layer with specific inductive capacity higher than said rare earth oxide from the silicon substrate side.

[Claim 8] The process of the electric field effect mold semiconductor device according to claim 7 which forms said organic metal raw material in an organic solvent by the chemical-vapor-deposition method using the raw material solution dissolved or diluted.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] Especially this invention relates to the electric field effect mold semiconductor device formed in an integrated circuit, and its process about the configuration of a semiconductor device.

[0002]

[Description of the Prior Art] The electric field effect mold semiconductor device is used for various electronic parts, and the cutback of the minimum processing dimension is advanced for high integration and low-cost-izing. In recent years, detailed-ization of MOSFET (Metal-Oxide-Semiconductor Field-Effect-Transistor) is in the situation which is at hand as Hasama even as for gate length smaller than 0.1 micrometers. Thin film-ization of SiO₂ gate dielectric film has been advanced in connection with this. However, if the thickness of SiO₂ thin film is set to 1.5nm or less, since it will originate in direct tunnel current and leakage current will increase, it is predicted that there is a limitation in thin film-ization.

[0003] Then, the attempt referred to as transposing gate dielectric film to dielectric materials with a dielectric constant higher than the conventional material SiO₂ (specific inductive capacity 3.9) is made.

[0004] As high dielectric materials, the titanium dioxide (TiO₂) in which about 80 specific inductive capacity is shown, the strontium titanate (SrTiO₃) in which about 200 specific inductive capacity is shown according to a perovskite crystal structure, the barium titanate strontium [(Ba, Sr) TiO₃] in which about 300 specific inductive capacity is shown according to the still more nearly same perovskite crystal structure exist at the time of a rutile crystal structure.

[0005] If these ingredients are used, the same gate capacitance as SiO₂ can be obtained thickening physical thickness about 75 times 50 times 20 times. For this reason, also when a component is made detailed according to a scaling law, it is thought that the leakage current between the gate electrode / silicon substrate by the direct tunneling in gate dielectric film can be suppressed.

[0006] since a titanate-acid ghost, on the other hand, has thermal stability almost equivalent to SiO₂ — an interface steep between silicon substrates after heat treatment of film formation, crystallization, etc. — it cannot obtain — low [of 1.5nm or more of physical thickness] — SiO₂ dielectric constant thin film will grow. Therefore, in spite of having used high dielectric materials, it is difficult to set SiO₂ conversion thickness to 1.5nm or less.

[0007] Moreover, in high dielectric materials, such as WO₃ which has Ta₂O₅ which has about 25 specific inductive capacity, and about 300 specific inductive capacity, since it is inferior to thermal stability from SiO₂, SiO₂ still thicker thin film will grow.

[0008] On the other hand, in JP,2000-281494,A news, the method of carrying out epitaxial growth of the rare earth oxide in the field (110) bearing on the silicon substrate of field (001) bearing, and carrying out epitaxial growth of the functional oxides, such as a ferroelectric (for example, Pb(Zr, Ti) O₃), on it is indicated.

[0009] Moreover, in JP,11-40683,A, the approach of carrying out the laminating of the reaction

prevention film and ferroelectric of cerium oxide as gate dielectric film is indicated. The rare earth oxide containing Sc₂O₃, Y₂O₃, and La₂O₃ has the property which excelled SiO₂ in thermal stability. Therefore, there is effectiveness which controls the growth of SiO₂ by the silicon substrate interface.

[0010] Moreover, a rare earth oxide has about ten to 20 comparatively high specific inductive capacity. therefore, the thing to consider as the laminated structure of the above-mentioned high dielectric materials and a rare earth oxide — low — it becomes possible to control growth of SiO₂ dielectric constant thin film.

[0011]

[Problem(s) to be Solved by the Invention] Distortion or a crack tends to enter according to the difference of a lattice constant with a substrate silicon substrate, or a coefficient of thermal expansion, and epitaxially grown gate dielectric film which is indicated by JP,2000-281494,A news has the trouble referred to as becoming the source of release of leakage current.

[0012] Moreover, in junction of the silicon substrate shown in JP,2000-281494,A news and JP,11-40683,A news, and rare earth oxide, since the barrier height of an electronic conduction band is low compared with conventional SiO₂, there is a problem which said that leakage current became large.

[0013] The object of this invention is to control the distortion or crack initiation by the difference of a lattice constant with a substrate silicon substrate, or a coefficient of thermal expansion, and offer the electric field effect mold semiconductor device which decreased the source of release of leak.

[0014] Furthermore, the object of this invention is making the barrier height of an electronic conduction band high enough to a silicon substrate, and is in offer of the electric field effect mold semiconductor device which controlled leakage current.

[0015]

[Means for Solving the Problem] The summary of this invention which attains said object is as follows.

[0016] Gate dielectric film is in an electric field effect mold semiconductor device to constitute from a silicon substrate side by the vitrified buffer coat, the rare earth oxide layer, and the dielectric layer with specific inductive capacity higher than said rare earth oxide.

[0017] This vitrified buffer coat can buffer distortion by the lattice constant with the substrate silicon substrate which was a problem, and the difference of a coefficient of thermal expansion with a vitrified reason and an epitaxial film. Consequently, the distortion in a rare earth oxide layer and a dielectric layer is eased, the source of release of leak decreases, and it becomes possible to control leakage current.

[0018] Moreover, it is in constituting a vitrified buffer coat from Si₃N₄ and SiO₂, or matter that contains at least one sort of Ln (Ln is Sc, Y, La, and rare earth elements) further. Si₃N₄ and SiO₂ have the high barrier height of an electronic conduction band, are constituting from these ingredients and have the description which can reduce leakage current substantially.

Furthermore, a raise in a dielectric constant and eburnation become possible by at least one sort of Ln (Ln is Sc, Y, La, and rare earth elements) other than these ingredients being included.

[0019] Moreover, it is in constituting from TiO₂, SrTiO₃, TiO (Ba, Sr)₃, Ta₂O₅, and at least one sort of WO₃, ZrO₂ (specific inductive capacity 25), HfO₂ (specific inductive capacity 15-40), and LaAlO₃ as matter used for a dielectric layer. high, as shown here — by using the dielectric constant matter, physical thickness can be thickened and leakage current can be controlled further.

[0020] Moreover, it is in a rare earth oxide layer consisting of at least one sort of matter of Ln₂O₃ (rare earth elements with which Ln contains Sc, Y, and La). From SiO₂, since thermal stability is high, all can control oxidation of a silicon substrate.

[0021] Moreover, it is in being referred to as 0.5-4.0nm about the thickness of a vitrified buffer coat in 0.2-2.0nm and the thickness of a rare earth oxide layer. The dielectric constants of the vitrified buffer coat which constitutes the gate dielectric film of this invention, a rare earth oxide layer, and a dielectric layer are about six to about 10, ten to about 20, and 20 or more, respectively. Therefore, in order to acquire the property of 1.5nm or less of SiO₂ conversion

thickness which is a target and to acquire the effectiveness as a buffer coat, the physical thickness of a vitrified buffer coat sets physical thickness of 0.2–2.0nm and a rare earth oxide-film layer to 0.5–4.0nm.

[0022] Moreover, it is in forming a rare earth oxide layer and the above-mentioned dielectric layer by the chemical-vapor-deposition method using the organic metal raw material containing each configuration element. A chemical-vapor-deposition method can stop interface state density, a trap, etc. which degrade the property of an electric field effect mold semiconductor device to the minimum. The raw material has organic metal raw materials, such as an alcoholic system from which sufficient vapor pressure is obtained, beta-diketone system, and a cyclo PENTA system.

[0023] It is in forming the above-mentioned organic metal raw material in an organic solvent by the chemical-vapor-deposition method further again using the raw material solution dissolved or diluted. If it dilutes or dissolves in the organic solvent represented with a tetrahydrofuran or a methanol and is made a liquid raw material when a raw material is a solid-state, handling and mass production nature can be improved.

[0024]

[Embodiment of the Invention] Hereafter, an example explains this invention.

[0025] [Example 1] Drawing 1 is type section drawing of MOSFET by this invention. In this example, the gate dielectric film of this invention was formed on the silicon substrate 1 in which the isolation insulator layer 2, the source field 3, and the drain field 4 were formed.

[0026] If considered as the gate dielectric film of this invention, the lanthanum oxide was used for the rare earth oxide layer 6, and SrTiO₃ was used for the dielectric layer 7 for the silicon acid nitride at the vitrified buffer coat 5. Furthermore, the golden thin film was used as a gate electrode 8.

[0027] The formation approach is shown below. After dipping in HF water solution diluted to 1% after washing a silicon substrate using the washing approach by the well-known organic solvent, the acid, an alkali solution, etc. for 30 seconds and removing the natural oxidation film, the substrate was washed by deionized water. After substrate washing was promptly conveyed to the vacuum chamber.

[0028] First, the vitrified buffer coat was formed. The 0.5nm thermal oxidation film was formed by RTA (Rapid Thermal Annealing) processing at 800 degrees C among the hypoxia concentration ambient atmosphere. Then, the vitrified silicon acid nitride was obtained by 700-degree C heat treatment among the ammonia ambient atmosphere.

[0029] Next, 2OLa₃ thin film was formed by the chemical-vapor-deposition method as a rare earth oxide layer. The schematic diagram of the equipment is shown in drawing 2. This equipment was always exhausted with the vacuum pump 22, and the wall surface of the thin film formation room 11 was heated at 100–250 degrees C at the heater 20 for thin film formation room heating.

[0030] At the time of La₂O₃ thin-film formation, La(dpm)₃ (Dipivaloylmethanato Lanthanum) organic metal was prepared by the concentration of 0.05–0.25 mols / L to the C₄H₈O (tetrahydrofuran) reduction solvent, and it considered as the raw material liquid. La raw material liquid in La raw material container 14 was supplied at the rate of 0.1 – 3sccm using the liquid massflow controller.

[0031] After setting the temperature of a carburetor 17 as 100–250 degrees C and gasifying a raw material liquid at a stretch, it conveyed by Ar carrier gas 198 – 500sccm.

[0032] Next, after mixing material gas / Ar gas, the oxygen gas 2 from an oxygen cylinder 18 – 800sccm, it introduced into the thin film formation room through the shower head 19. Set the pressure of a thin film formation room to 0.01 – 50Torr with the pressure control valve 21, it was made to grow up for 2 minutes, where the temperature of a silicon substrate 12 is heated at 300–450 degrees C at the heater 13 for substrate heating, and 3nm of physical thickness was obtained. Moreover, after formation of 2OLa₃ thin film, in order to remove a non-decomposed component, the 600-degree C postheat treatment was performed among nitrogen-gas-atmosphere mind.

[0033] Furthermore, SrTiO₃ thin film was formed by the chemical-vapor-deposition method as a

dielectric layer. The liquid raw material which dissolved Sr(dpm) 2 (Dipivaloylmethanato Strontium) organic metal in the C₄H₈O organic solvent by the concentration of 0.05 – 0.25 mol/L into Sr raw material container 15, and the liquid raw material which diluted Ti(i-OC₃H₇) 4 (Tetraisopropoxy Titanium) organic metal with the concentration of 0.05 – 0.25 mol/L to the C₄H₈O organic solvent in Ti raw material container 16 were used. Each liquid raw material was supplied at the rate of 0.1 – 3sccm using the liquid massflow controller.

[0034] After setting the temperature of a carburetor as 100–250 degrees C and gasifying a liquid raw material at a stretch, it conveyed by Ar gas 198 – 500sccm.

[0035] Next, it introduced into the thin film formation room, after mixing material gas / Ar gas, oxygen reactant gas 2 – 800sccm. It formed for 10 to 40 minutes, having set the pressure of a thin film formation room to 0.01 – 50Torr, and having used formation temperature as 300–450 degrees C, and 8–33nm physical thickness was obtained.

[0036] After formation of SrTiO₃ thin film, the 800-degree C postheat treatment was performed among the hypoxia ambient atmosphere for the purpose of clearance of crystallization and a non-decomposed component. In this case, since SrTiO₃ thin film will be easily returned if heat treatment in reducing atmosphere is performed, it is good to consider as a hypoxia ambient atmosphere or an inert atmosphere.

[0037] In this way, on the formed gate dielectric film, further, with the vacuum deposition method, about 100nm of golden thin films was formed, and MOSFET was formed.

[0038] The silicon substrate was grounded and SiO₂ conversion thickness was computed from the C–V property at the time of making it change to a golden up electrode –2–2V. Consequently, SiO₂ conversion thickness was 1.4–2.0nm.

[0039] To this MOSFET, the silicon substrate was grounded and the leak current value at the time of impressing the electrical potential difference of +1V to a golden electrode was shown in drawing 3. The good leak current characteristic of 10–3 A/cm² – 10–6 A/cm² was shown.

[0040] As an example of a comparison, without forming a silicon acid nitride on a silicon substrate, 2OLa₃ thin film and SrTiO₃ thin film were formed similarly, and 1.3–1.9nm of SiO₂ conversion thickness was obtained.

[0041] The silicon substrate was grounded, and it was shown in drawing 3, having used the leak current value at the time of impressing the electrical potential difference of +1V to a golden electrode as the example 1 of a comparison. By comparing with the result of this example, formation of a vitrified buffer coat shows that leakage current has been controlled.

[0042] a chemical-vapor-deposition method advantageous to suppressing generation of the interface state density in an interface with a silicon substrate according to the gestalt of this example -- using -- 1.5nm or less of SiO₂ conversion thickness -- it is -- and low -- leakage current gate dielectric film can be obtained.

[0043] [Example 2] The gate oxide of this invention was formed by the spatter. The case where the gate dielectric film which set to Y₂O₃ at SiYO and a rare earth oxide, and was set to TiO₂ at the dielectric layer is formed in a vitrified buffer coat is shown. In addition, before formation of gate dielectric film, the substrate was washed like the example 1, and it conveyed to the vacuum chamber promptly.

[0044] First, the SiYO vitrified buffer coat was formed by the RF magnetron sputtering method using the sintered compact target of Si(0.8) Y(0.2) O. It was referred to as the argon gas ambient atmosphere of 0.1–10Pa, the substrate temperature of 300 degrees C, and RF power 800W, it formed for 30 seconds, and 0.4nm of physical thickness was obtained.

[0045] Next, 2OY₃ thin film was formed on the silicon substrate by the RF magnetron sputtering method. It formed in the target for 1 minute using 2OY₃ sintered compact as the argon gas ambient atmosphere of 0.1–10Pa, the substrate temperature of 300 degrees C, and RF power 800W, and 2.5nm of physical thickness was obtained.

[0046] Furthermore, TiO₂ thin film was formed on the silicon substrate by the RF magnetron sputtering method. It formed in the target for 1 – 5 minutes on condition that the argon gas ambient atmosphere of 0.1–10Pa, the substrate temperature of 300 degrees C, and RF power 800W using TiO₂ sintered compact, and 6–19nm of physical thickness was obtained. Then, 700–degree C heat treatment was performed in the hypoxia ambient atmosphere for crystallization of

a titanium dioxide.

[0047] In this way, on the formed gate dielectric film, further, with the vacuum deposition method, about 100nm of golden thin films was formed, and MOSFET was formed.

[0048] The silicon substrate was grounded and SiO₂ conversion thickness was computed from the C-V property at the time of making it change to a golden up electrode -2-2V. Consequently, 1.4-2.1nm of SiO₂ conversion thickness was obtained.

[0049] To this MOSFET, the silicon substrate was grounded and the leak current value at the time of impressing the electrical potential difference of +1V to a golden electrode was shown in drawing 3. The good leak current characteristic of 10⁻⁴ A/cm² - 10⁻⁷ A/cm² was shown.

[0050] As an example of a comparison, without forming a vitrified buffer coat on a silicon substrate, only 2OY3 thin film and TiO₂ thin film were formed similarly, and 1.3-2.0nm of SiO₂ conversion thickness was obtained. The silicon substrate was grounded, and it was shown in drawing 4, having used the leak current value at the time of impressing the electrical potential difference of +1V to a golden electrode as the example 2 of a comparison. The comparison with the result of this example shows that leakage current has been controlled, as a result of forming a vitrified buffer coat.

[0051] [Example 3] The production process of MOSFET which used the gate dielectric film of this invention is shown. In this example, it limits to MOSFET of n mold.

[0052] What is necessary is to form n well and p well, although not illustrated, to have good control of striking p mold impurity and n mold impurity in any direction, respectively, and just to manufacture in the case of an ion implantation, in case advantageous CMOS is formed by low loss. Therefore, this invention is not limited to MOSFET of n mold. Moreover, it is not limited to the process performed by this example, either.

[0053] as shown in drawing 5, after [first,] the isolation insulator layer 102 forms a slot with a depth of about 0.4 micrometers in a silicon substrate 101 -- a chemical-vapor-deposition method -- SiO₂ thin film -- the whole surface -- forming -- a degree -- CMP (Chemical Mechanical Polishing) -- by law, flattening was carried out and it produced.

[0054] Next, about 10nm of buffer layers 103, such as silicon oxide, was formed in the silicon substrate surface by the oxidizing [thermally] method etc. This buffer layer carries out the role of the stopper at the time of etching the dummy gate formed at degree process.

[0055] By the chemical-vapor-deposition method, it reached abbreviation 150, respectively and about 50nm of the polish recons 104 and the silicon nitrides 105 which are made into the dummy gate were formed. Subsequently, the resist pattern was formed with lithography, anisotropic etching of the parts other than a gate formation schedule field was carried out, and the dummy gate which consists of polish recon and a silicon nitride was formed.

[0056] As shown in drawing 6, ion, such as As, was poured in by having used the formed dummy gate as the mask, and the n (-) diffusion layer 106 was formed. Then, about 100nm of silicon nitrides was formed in the whole surface, anisotropic etching was performed further and the side-attachment-wall insulator layer 107 shown in drawing 7 was formed.

[0057] Ion implantations, such as As, were again performed by having used the dummy gate and a side-attachment-wall insulator layer as the mask, and the n (+) diffusion layer 108 with high impurity concentration higher than n (-) diffusion layer was formed. In this phase, activation annealing of a diffusion layer may be performed and activation annealing may be performed after each ion implantation.

[0058] Thus, the field with which formed n (-) diffusion layer and n (+) diffusion layer were doubled serves as the source of the n mold MOSFET, and a drain.

[0059] Next, the interlayer insulation film 109 was formed by the plasma chemistry vapor growth using a TEOS (Tetra Ethoxy Silane) raw material etc. to height extent of the silicon nitride of the dummy gate upper part, or the height beyond it. Then, as shown in drawing 8, the polish recon which constitutes the dummy gate performed flattening with means, such as CMP, until it was exposed to the front face.

[0060] As shown in drawing 9, the polish recon exposed to the front face was etched, and HF processing removed the buffer layer further. By this, the slot for carrying out the laminating of gate dielectric film and the gate electrode was formed.

[0061] Next, the gate dielectric film of this invention was formed. First, the 0.5nm thermal oxidation film was formed by RTA (Rapid Thermal Annealing) processing at 800 degrees C among the hypoxia concentration ambient atmosphere. Then, it considered as the silicon acid nitride by 700-degree C heat treatment in the ammonia ambient atmosphere, and as shown in drawing 10 , the vitrified buffer coat 110 was formed.

[0062] Next, as shown in drawing 11 , 2nm of 2OGd3 thin films was formed by the chemical-vapor-deposition method, and the rare earth oxide layer 111 was obtained. 2OGd3 thin film of 2nm of physical thickness was formed in the raw material on the same conditions as an example 1 using the liquid raw material which dissolved Gd(dpm)3 (Dipivaloylmethanato Gadolinium) organic metal in the C4H8O organic solvent by the concentration of 0.05 - 0.25 mol/L. 600-degree-C heat treatment for 5 minutes was performed among inert gas for the purpose of clearance of the impurity in the film after formation of 2OGd3 thin film.

[0063] Furthermore, TiO2 thin film of 10nm of physical thickness was formed by the chemical-vapor-deposition method as a dielectric layer 112. The liquid raw material which diluted Ti(i-OC3H7) 4 organic metal with the concentration of 0.05 - 0.25 mol/L to the C4H8O organic solvent was used for Ti raw material.

[0064] After TiO2 thin-film formation, 700 degrees C and heat-of-crystallization processing for 5 minutes were performed among hypoxia concentration. The vacuum deposition which can stop the interface state density which degrades the property of an electric field effect mold semiconductor device, a trap, etc. as the formation approach to the minimum may be used. Moreover, to use a spatter, it is necessary to control formation of interface state density by approaches, such as a parallel-ized (Collimated) spatter.

[0065] Following the gate dielectric film of this invention, the gate electrode 113 was formed until the slot was buried thoroughly (drawing 12). It formed in the gate electrode using the TiN thin film by the chemical-vapor-deposition method using TiCl4 material gas and NH3 reactant gas.

[0066] Although the TiN electrode was used for the gate electrode in this operation, you may be any of the nitride of polish recon, a metallic element, and a metallic element, the silicide of a metallic element, and a noble-metals element. Moreover, the formation approach of a gate electrode has desirable chemical-vapor-deposition method and vacuum deposition which do not give a damage to the gate dielectric film formed at the before process.

[0067] To use the spatter using the plasma state, it is necessary using means, such as a parallel-ized (Collimated) spatter, to control the damage to the gate dielectric film by the high energy particle.

[0068] Next, in order to separate a gate electrode between components like drawing 13 , it etched. Then, although not illustrated, an interlayer insulation film, a contact hole, and wiring were formed with the well-known technique.

[0069] MOSFET of n mold which used the gate dielectric film of this invention as mentioned above was formed. SiO2 conversion thickness was computed from the C-V property like examples 1 and 2. Consequently, it was 1.4nm of SiO2 conversion thickness of the gate dielectric film in the gestalt of this operation.

[0070] According to the gestalt of this operation, the gate dielectric film which has the property of 1.5nm or less by SiO2 conversion thickness in MOSFET was able to be formed. Therefore, MOSFET suitable for high integration or low-power-ization has been offered.

[0071]

[Effect of the Invention] According to this invention, with constituting gate dielectric film from a vitrified buffer coat, a rare earth oxide layer, and a dielectric layer with specific inductive capacity higher than said rare earth oxide, since high-capacity-izing of gate dielectric film and control of leakage current are attained, the electric field effect mold semiconductor device which has gate dielectric film of 1.5nm or less of SiO2 conversion thickness for which it is needed in gate length that it is larger than 0.1 micrometers can be offered.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is type section drawing showing the structure of MOSFET of this invention.

[Drawing 2] It is the schematic diagram of the chemical-vapor-deposition equipment for forming the gate dielectric film of this invention.

[Drawing 3] It is the graph which shows the relation between the SiO₂ conversion thickness of the gate dielectric film of this invention, and leak current density.

[Drawing 4] It is the graph which shows the relation between the SiO₂ conversion thickness of the gate dielectric film of this invention, and leak current density.

[Drawing 5] It is type section drawing showing the manufacture process of the n mold MOSFET in which it has gate dielectric film of this invention.

[Drawing 6] It is type section drawing showing the manufacture process of the n mold MOSFET in which it has gate dielectric film of this invention.

[Drawing 7] It is type section drawing showing the manufacture process of the n mold MOSFET in which it has gate dielectric film of this invention.

[Drawing 8] It is type section drawing showing the manufacture process of the n mold MOSFET in which it has gate dielectric film of this invention.

[Drawing 9] It is type section drawing showing the manufacture process of the n mold MOSFET in which it has gate dielectric film of this invention.

[Drawing 10] It is type section drawing showing the manufacture process of the n mold MOSFET in which it has gate dielectric film of this invention.

[Drawing 11] It is type section drawing showing the manufacture process of the n mold MOSFET in which it has gate dielectric film of this invention.

[Drawing 12] It is type section drawing showing the manufacture process of the n mold MOSFET in which it has gate dielectric film of this invention.

[Drawing 13] It is type section drawing showing the manufacture process of the n mold MOSFET in which it has gate dielectric film of this invention.

[Description of Notations]

1 [— Drain field,] — A silicon substrate, 2 — An isolation insulator layer, 3 — A source field, 4 5 [— Gate electrode,] — A vitrified buffer coat, 6 — A rare earth oxide layer, 7 — A dielectric layer, 8 11 — A thin film formation room, 12 — A silicon substrate, 13 — The heater for substrate heating, 14 [— Carburetor,] — La raw material container, 15 — Sr raw material container, 16 — Ti raw material container, 17 18 — An oxygen cylinder, 19 — The shower head, 20 — The heater for thin film formation room heating, 21 — A pressure control valve, 22 — A vacuum pump, 101 — Silicon substrate (p mold), 102 — An isolation insulator layer, 103 — A buffer layer, 104 — Polish recon, 105 [— n (+) diffusion layer 109 / — An interlayer insulation film, 110 / — A vitrified buffer coat, 111 / — A rare earth oxide layer, 112 / — A dielectric layer, 113 / — Gate electrode.] — A silicon nitride, 106 — n (-) diffusion layer, 107 — A side-attachment-wall insulator layer, 108

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

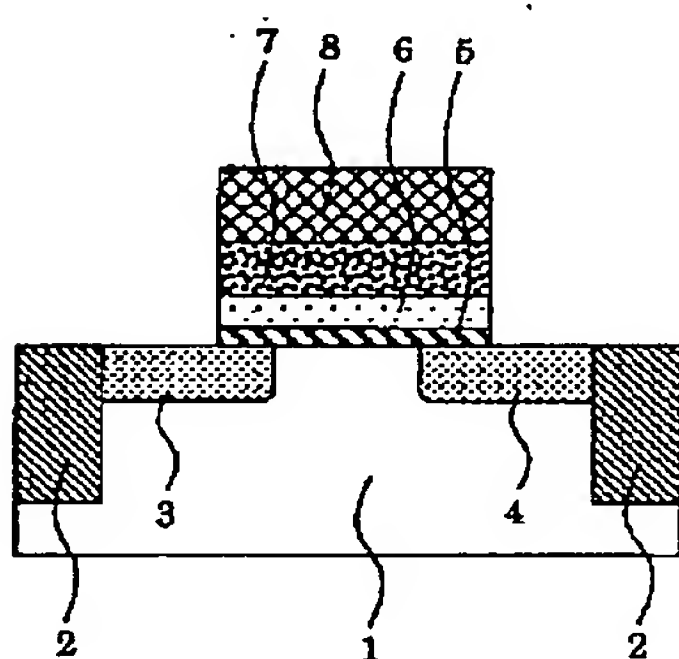
2.*** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DRAWINGS

[Drawing 1]

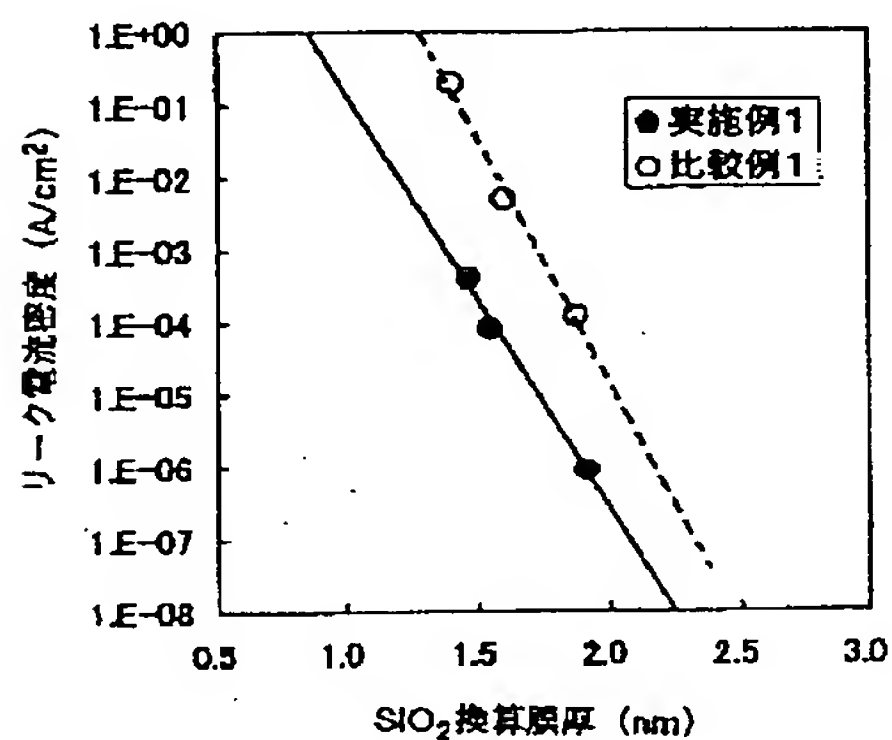
図 1



1...シリコン基板 2...窒素分離絶縁膜 3...ソース領域
4...ドレイン領域 5...ガラス状保護層 6...希土類酸化物層
7...誘電体層 8...ゲート電極

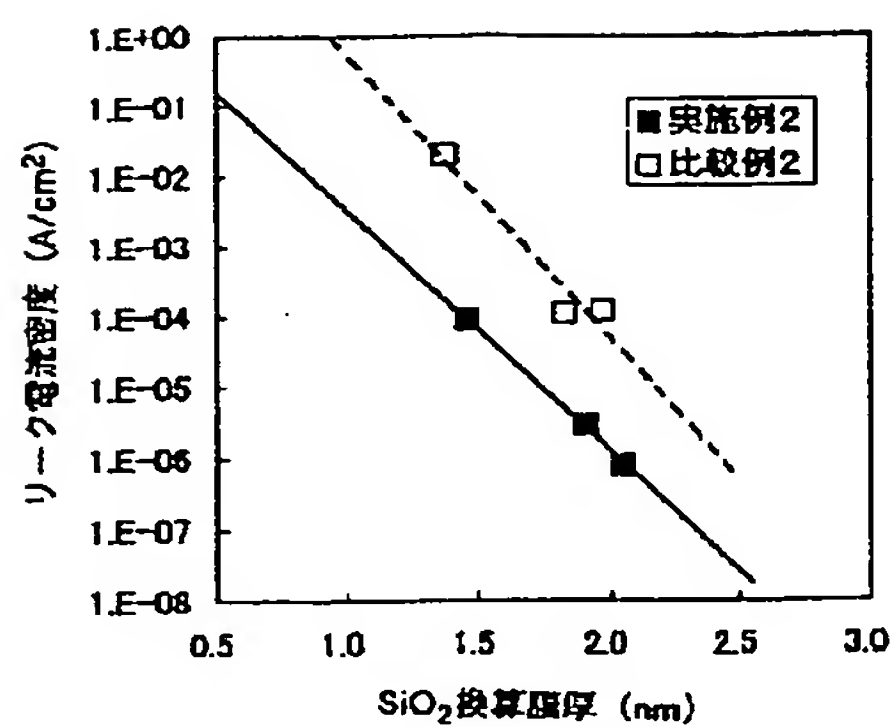
[Drawing 3]

図 3



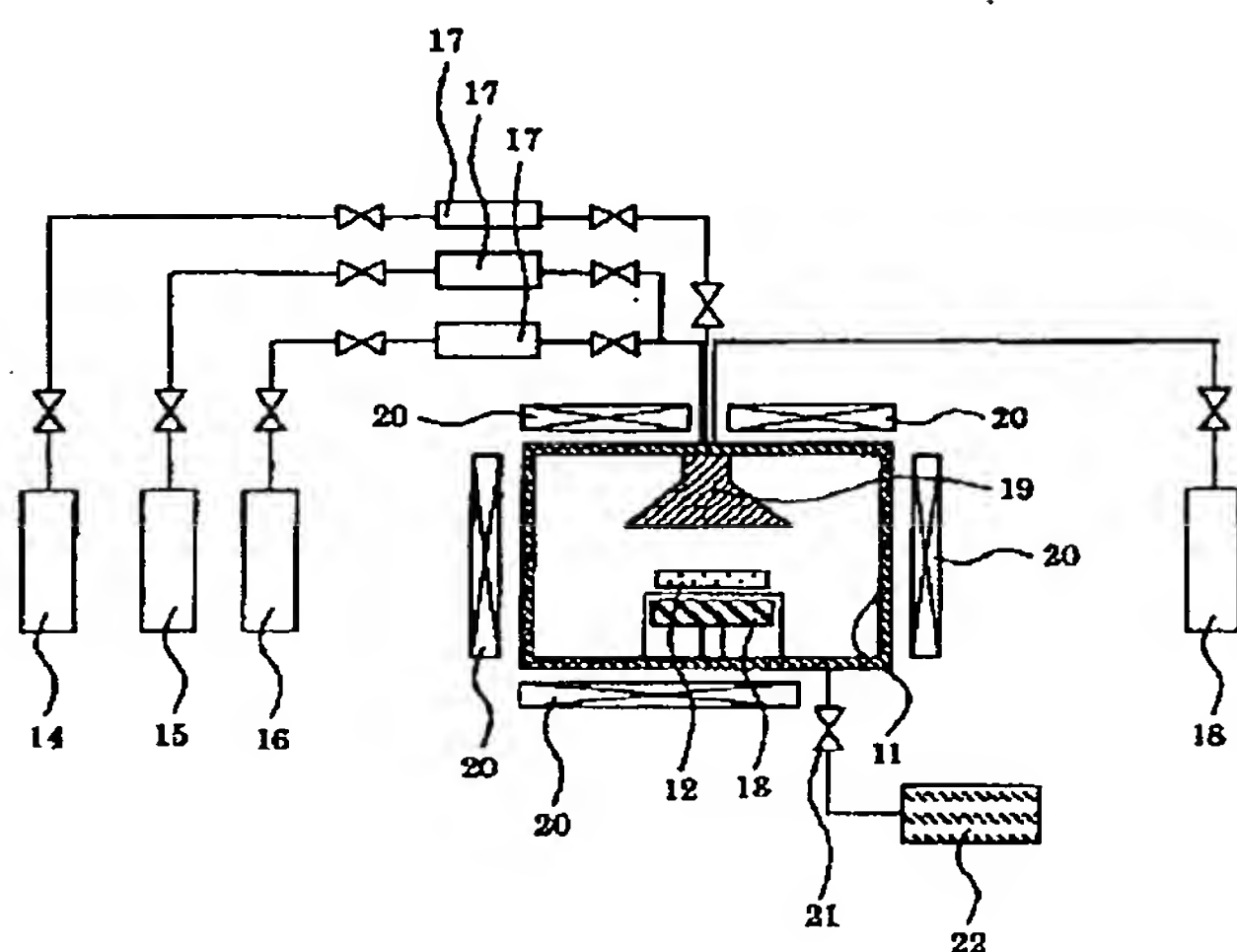
[Drawing 4]

図 4



[Drawing 2]

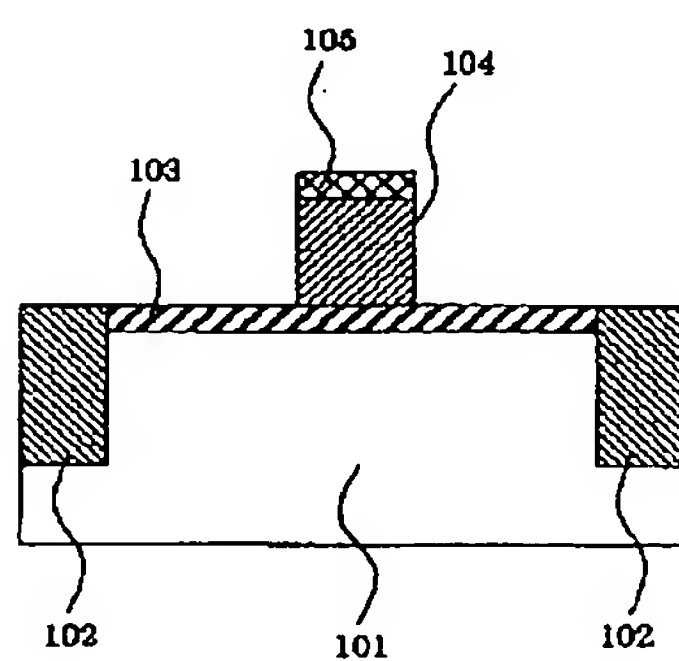
図 2



11…薄膜形成室 12…シリコン基板 13…基板加熱用ヒータ
 14…La 原料容器 15…Sr 原料容器 16…Ti 原料容器 17…気化器
 18…酸素ポンプ 19…シャワヘッド 20…薄膜形成室加熱用ヒータ
 21…圧力調整バルブ 22…真空ポンプ

[Drawing 5]

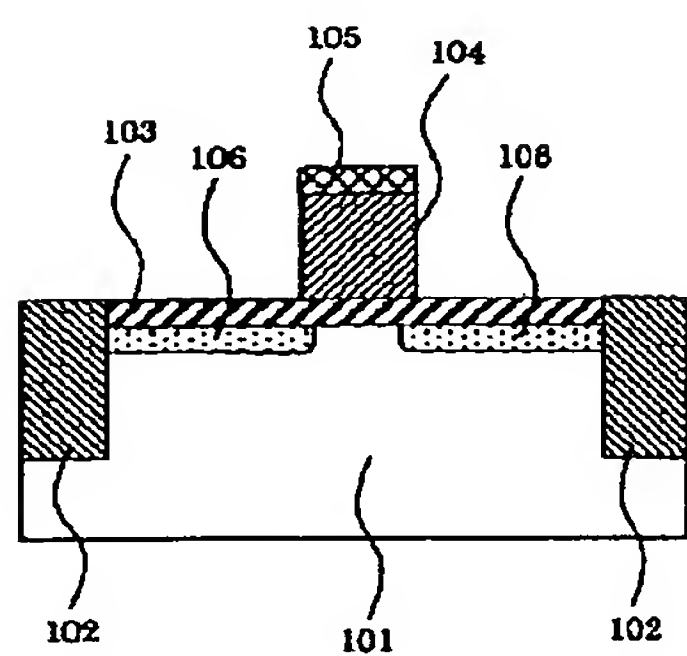
図 5



101…シリコン基板 (p型) 102…素子分離絶縁膜
 103…パッファ層 104…ポリシリコン 105…シリコン窒化膜

[Drawing 6]

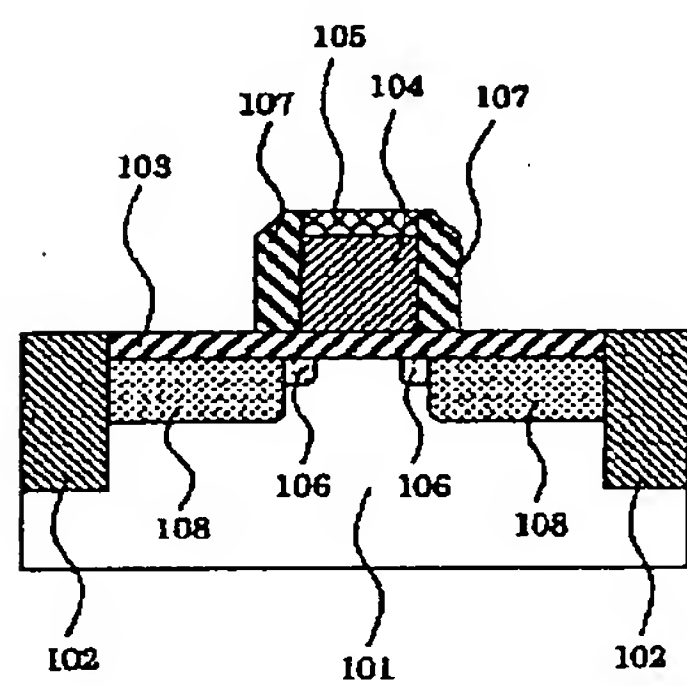
図 6



106...n(-) 拡散層

[Drawing 7]

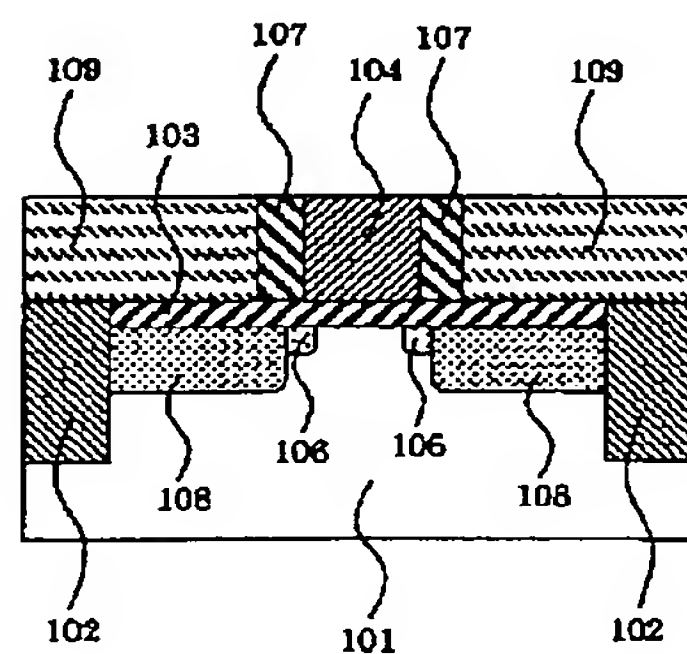
図 7



107...側壁絶縁膜 108...n(+) 拡散層

[Drawing 8]

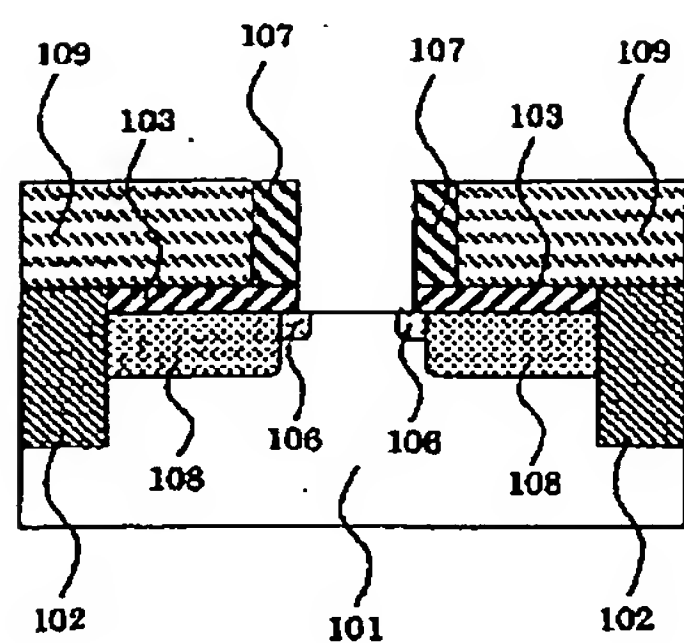
図 8



109...層間絶縁膜

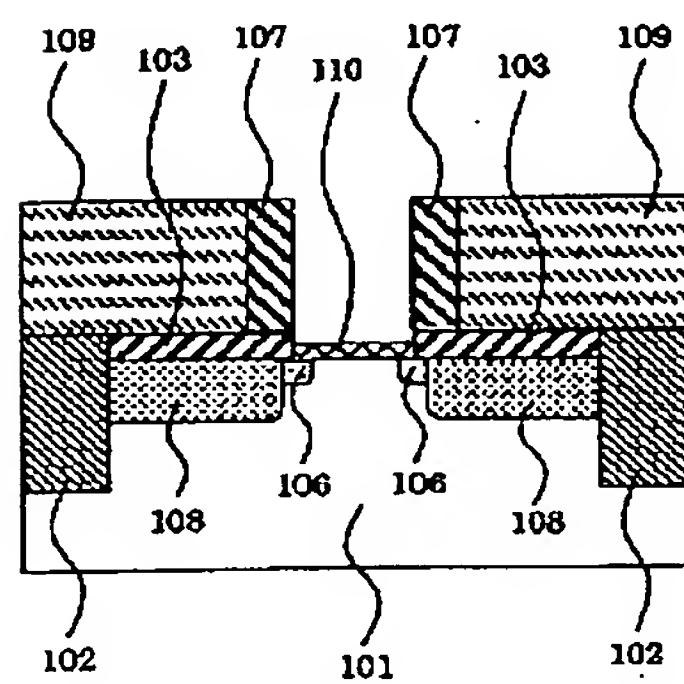
[Drawing 9]

図 9



[Drawing 10]

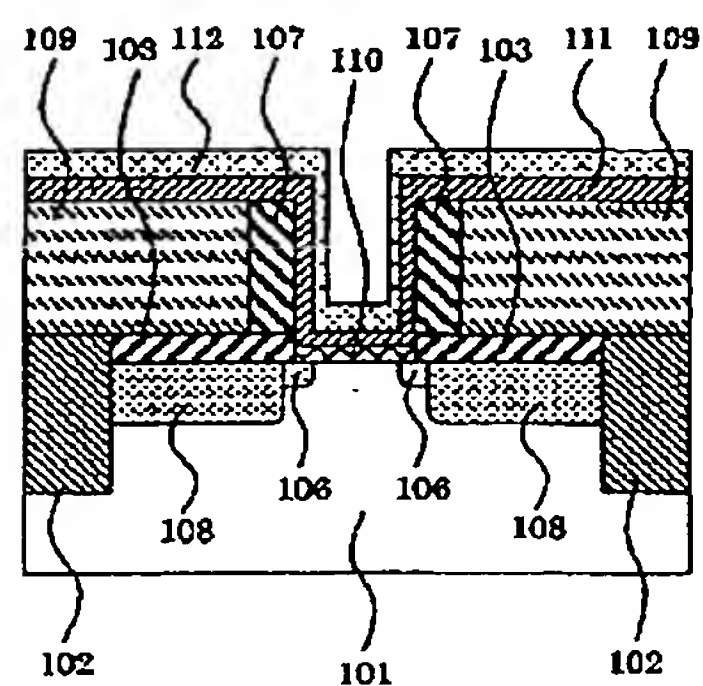
図 10



110---ガラス被覆層

[Drawing 11]

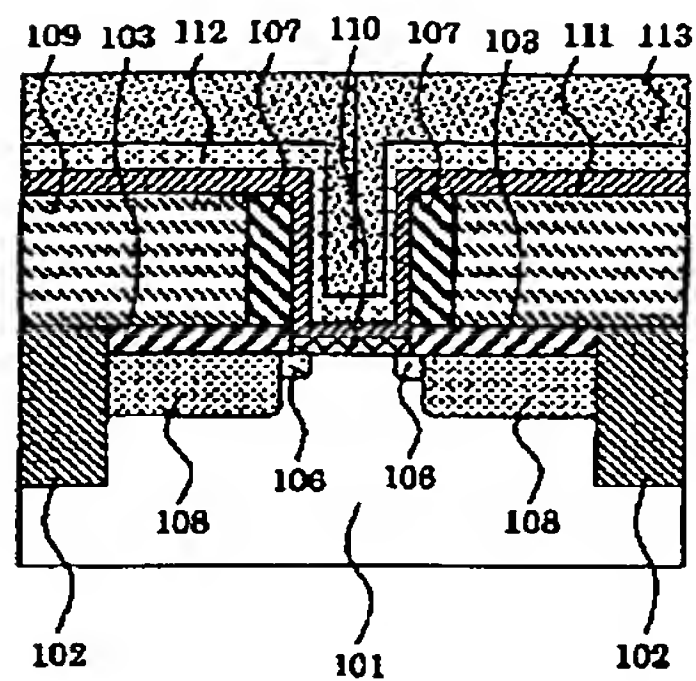
図 11



111---希土類酸化物層 112---誘電体層

[Drawing 12]

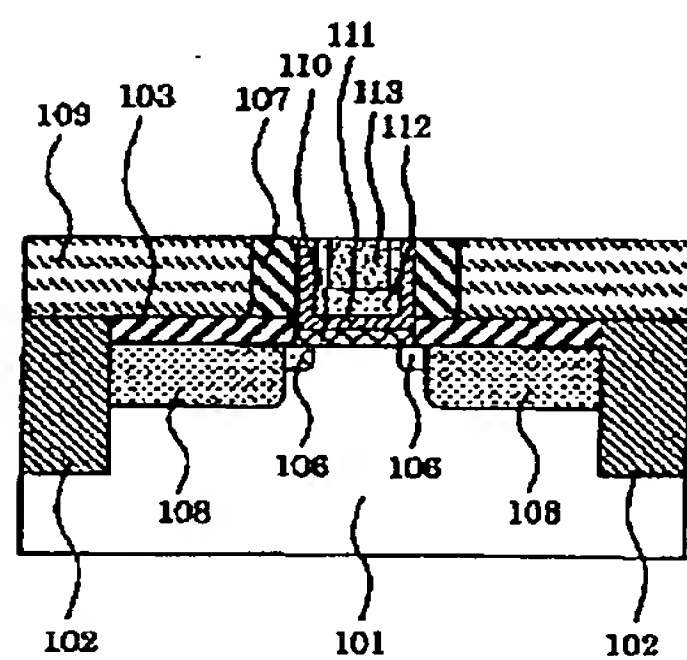
图 12



113…ゲート電極

[Drawing 13]

13



[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2002-324901

(P2002-324901A)

(43) 公開日 平成14年11月8日 (2002.11.8)

(51) Int.Cl.⁷

H 0 1 L 29/78

識別記号

F I

H 0 1 L 29/78

テームト^{*}(参考)

3 0 1 G 5 F 1 4 0

審査請求 未請求 請求項の数 8 O L (全 8 頁)

(21) 出願番号 特願2001-129093(P2001-129093)

(22) 出願日 平成13年4月26日 (2001.4.26)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 門島 勝

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(72) 発明者 生田目 俊秀

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(74) 代理人 100068504

弁理士 小川 勝男 (外2名)

最終頁に続く

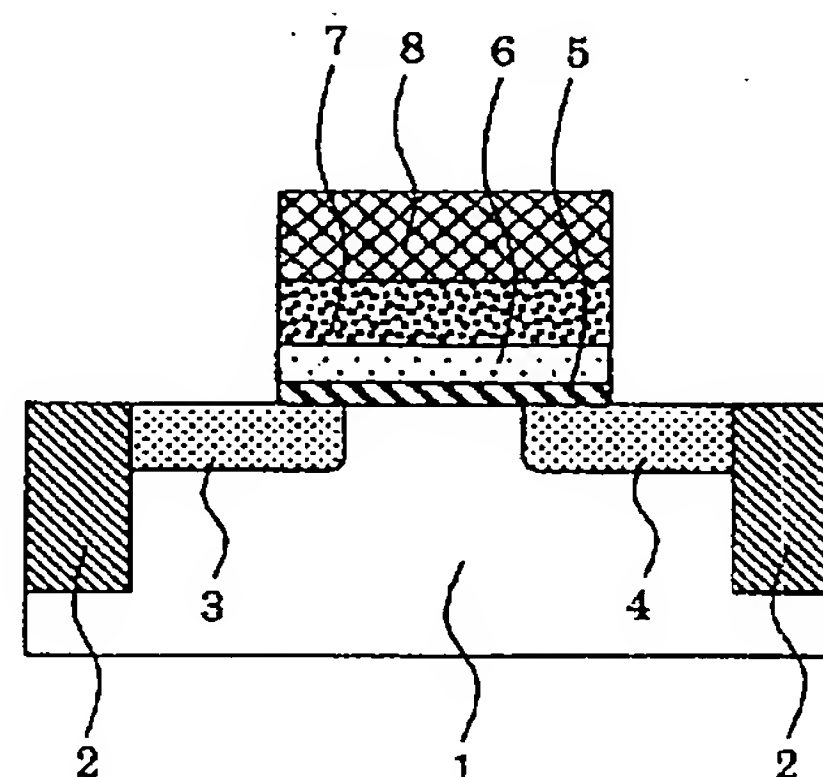
(54) 【発明の名称】 電界効果型半導体装置およびその製法

(57) 【要約】

【課題】 ゲート絶縁膜の高容量化およびリーク電流の抑制が可能な電界効果型半導体装置の提供。

【解決手段】 シリコン基板1と、前記シリコン基板上のゲート絶縁膜と、前記ゲート絶縁膜上のゲート電極8を具備した電界効果型半導体装置において、前記ゲート絶縁膜はシリコン基板1側から、ガラス状緩衝層5と、希土類酸化物層6と、前記希土類酸化物より比誘電率の高い誘電体層7で構成されている電界効果型半導体装置。

図 1



1…シリコン基板 2…素子分離絶縁膜 3…ソース領域
4…ドレイン領域 5…ガラス状緩衝層 6…希土類酸化物層
7…誘電体層 8…ゲート電極

【特許請求の範囲】

【請求項1】 シリコン基板と、前記シリコン基板上のゲート絶縁膜と、前記ゲート絶縁膜上のゲート電極を具備した電界効果型半導体装置において、前記ゲート絶縁膜はシリコン基板側から、ガラス状緩衝層と、希土類酸化物層と、前記希土類酸化物より比誘電率の高い誘電体層で構成されていることを特徴とする電界効果型半導体装置。

【請求項2】 前記ガラス状緩衝層は Si_3N_4 および SiO_2 あるいはさらに Ln (Ln は Sc 、 Y 、 La および希土類元素)の少なくとも1種を含む物質で構成されている請求項1に記載の電界効果型半導体装置。

【請求項3】 前記誘電体層が TiO_2 、 SrTiO_3 、 $(\text{Ba}, \text{Sr})\text{TiO}_3$ 、 Ta_2O_5 、 WO_3 、 ZrO_2 、 HfO_2 および LaAlO_3 の少なくとも1種からなる請求項1または2に記載の電界効果型半導体装置。

【請求項4】 前記希土類酸化物層が Ln_2O_3 (Ln は Sc 、 Y および La を含む希土類元素)の少なくとも1種からなる請求項1、2または3に記載の電界効果型半導体装置。

【請求項5】 前記ガラス状緩衝層の膜厚が0.2～2.0nmである請求項1～4のいずれかに記載の電界効果型半導体装置。

【請求項6】 前記希土類酸化物層の膜厚が0.5～4.0nmである請求項1～5のいずれかに記載の電界効果型半導体装置。

【請求項7】 シリコン基板と、前記シリコン基板上のゲート絶縁膜と、前記ゲート絶縁膜上のゲート電極を具備し、前記ゲート絶縁膜はシリコン基板側から、ガラス状緩衝層と、希土類酸化物層と、前記希土類酸化物より比誘電率の高い誘電体層で構成された電界効果型半導体装置の製法において、前記希土類酸化物層および前記誘電体層は、各構成元素を含む有機金属原料を用い、化学気相成長法により形成することを特徴とする電界効果型半導体装置の製法。

【請求項8】 前記有機金属原料を有機溶媒に溶解もしくは希釈した原料溶液を用い、化学気相成長法により形成する請求項7に記載の電界効果型半導体装置の製法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の構成に関し、特に、集積回路内に形成される電界効果型半導体装置とその製法に関する。

【0002】

【従来の技術】電界効果型半導体装置は様々な電子部品に利用されており、高集積化、低コスト化のため、その最小加工寸法の縮小が進められている。近年では、MOSFET (Metal-Oxide-Semiconductor Field-Effect-Transistor) の微細化は、0.1 μm より小さいゲート長まで目前に迫っている状況である。これに

伴い、 SiO_2 ゲート絶縁膜の薄膜化が進められてきた。しかし、 SiO_2 薄膜の膜厚が1.5nm以下になると、直接トンネル電流に起因してリーク電流が増大するため、薄膜化には限界があると予測されている。

【0003】そこで、ゲート絶縁膜を従来材 SiO_2 (比誘電率3.9)より誘電率の高い誘電体材料に置き換えると云う試みがなされている。

【0004】高誘電体材料として、ルチル結晶構造のときに約80の比誘電率を示す二酸化チタン (TiO_2)、ペロブスカイト結晶構造で約200の比誘電率を示すチタン酸ストロンチウム (SrTiO_3)、さらに、同じペロブスカイト結晶構造で約300の比誘電率を示すチタン酸バリウムストロンチウム [(Ba, Sr) TiO_3] 等が存在する。

【0005】これらの材料を用いると、物理膜厚を20倍、50倍、75倍程度厚くしたまま、 SiO_2 と同一のゲート容量を得ることができる。このためにスケールアップに従って素子を微細化した場合にも、ゲート絶縁膜中の直接トンネリングによるゲート電極/シリコン基板間のリーク電流を抑えられると考えられている。

【0006】一方、チタン酸化物は、熱的安定性が SiO_2 とはほぼ同等であるため、膜形成および結晶化等の熱処理後には、シリコン基板との間で急峻な界面を得ることができず、物理膜厚1.5nm以上の低誘電率な SiO_2 薄膜が成長してしまう。従って、高誘電体材料を用いたにもかかわらず、 SiO_2 換算膜厚を1.5nm以下にすることが困難となっている。

【0007】また、約25の比誘電率を有する Ta_2O_5 や約300の比誘電率を有する WO_3 などの高誘電体材料では、 SiO_2 より熱的安定性に劣るために、さらに厚い SiO_2 薄膜が成長してしまう。

【0008】これに対して、特開2000-281494号報では、(001)面方位のシリコン基板上に希土類酸化物を(110)面方位でエピタキシャル成長させ、その上に強誘電体 (例えば、 $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$) 等の機能性酸化物をエピタキシャル成長させる方法が開示されている。

【0009】また、特開平11-40683号公報では、ゲート絶縁膜として酸化セリウムの反応防止膜と強誘電体を積層する方法が開示されている。 Sc_2O_3 、 Y_2O_3 、 La_2O_3 を含む希土類酸化物は、 SiO_2 より熱的安定性に優れた性質を有する。従って、シリコン基板界面での SiO_2 の成長を抑制する効果がある。

【0010】また、希土類酸化物は10～20程度の比較的高い比誘電率を有する。従って、上記の高誘電体材料と希土類酸化物との積層構造とすることで、低誘電率な SiO_2 薄膜の成長を抑制することが可能になる。

【0011】

【発明が解決しようとする課題】特開2000-281494号報に開示されるようなエピタキシャル成長した

ゲート絶縁膜は、下地シリコン基板との格子定数や熱膨張係数の差によって歪みまたは亀裂が入り易く、リーク電流の発生源になると云った問題点がある。

【0012】また、特開2000-281494号報および特開平11-40683号報に示されるシリコン基板と希土類酸化物の接合では、従来の SiO_2 に比べて電子伝導帯のバリア高さが低いため、リーク電流が大きくなると云った問題がある。

【0013】本発明の目的は、下地シリコン基板との格子定数や熱膨張係数の差による歪みまたは亀裂の発生を抑制して、リークの発生源を減少させた電界効果型半導体装置を提供することにある。

【0014】さらに、本発明の目的は、シリコン基板に対して電子伝導帯のバリア高さを十分に高くすることで、リーク電流を抑制した電界効果型半導体装置の提供にある。

【0015】

【課題を解決するための手段】前記目的を達成する本発明の要旨は次のとおりである。

【0016】電界効果型半導体装置において、ゲート絶縁膜はシリコン基板側から、ガラス状緩衝層と、希土類酸化物層と、前記希土類酸化物より比誘電率の高い誘電体層で構成することにある。

【0017】このガラス状緩衝層は、ガラス状ゆえ、エピタキシャル膜で問題であった下地シリコン基板との格子定数や、熱膨張係数の差による歪みを緩衝することができる。その結果、希土類酸化物層内および誘電体層内の歪みが緩和され、リークの発生源が減少し、リーク電流を抑制することが可能になる。

【0018】また、ガラス状緩衝層を Si_3N_4 および SiO_2 あるいはさらに Ln (Ln は Sc 、 Y 、 La および希土類元素)の少なくとも1種を含む物質で構成することにある。 Si_3N_4 や SiO_2 は電子伝導帯のバリア高さが高く、これらの材料で構成することで、リーク電流を大幅に低減できる特徴がある。さらに、これらの材料のほかに Ln (Ln は Sc 、 Y 、 La および希土類元素)の少なくとも1種を含むことで高誘電率化および緻密化が可能になる。

【0019】また、誘電体層に用いる物質として、 TiO_2 、 SrTiO_3 、 $(\text{Ba}, \text{Sr})\text{TiO}_3$ 、 Ta_2O_5 、 WO_3 、 ZrO_2 (比誘電率25)、 HfO_2 (比誘電率15~40) および LaAlO_3 の少なくとも1種で構成することにある。ここで示したような高誘電率な物質を用いることで、物理膜厚を厚くでき、リーク電流をさらに抑制できる。

【0020】また、希土類酸化物層が Ln_2O_3 (Ln は Sc 、 Y および La を含む希土類元素)の少なくとも1種の物質で構成することにある。いずれも SiO_2 より熱的安定性が高いことから、シリコン基板の酸化を抑制できる。

【0021】また、ガラス状緩衝層の膜厚を0.2~2.0nm、および、希土類酸化物層の膜厚を0.5~4.0nmとすることにある。本発明のゲート絶縁膜を構成するガラス状緩衝層、希土類酸化物層、および、誘電体層の誘電率は、それぞれおよそ6~10程度、10~20程度、および、20以上である。従って、目標である SiO_2 換算膜厚1.5nm以下の特性を得、かつ、緩衝層としての効果を得るには、ガラス状緩衝層の物理膜厚は0.2~2.0nm、希土類酸化物層の物理膜厚は0.5~4.0nmとする。

【0022】また、希土類酸化物層および上記誘電体層を、各構成元素を含む有機金属原料を用い、化学気相成長法によって形成することにある。化学気相成長法は電界効果型半導体装置の特性を劣化させる界面準位やトラップ等を最小限に抑えることができる。その原料は、十分な蒸気圧が得られるアルコール系、 β -ジケトン系、シクロペンタ系等の有機金属原料がある。

【0023】さらにまた、上記有機金属原料を有機溶媒に溶解もしくは希釈した原料溶液を用い、化学気相成長法により形成することにある。原料が固体の場合にはテトラヒドロフランやメタノールで代表される有機溶媒に希釈あるいは溶解して、液体原料にするとハンドリングおよび量産性を向上できる。

【0024】

【発明の実施の形態】以下、本発明を実施例により説明する。

【0025】〔実施例 1〕図1は、本発明によるMOSFETの模式断面図である。本実施例では、素子分離絶縁膜2、ソース領域3およびドレイン領域4を形成したシリコン基板1上に、本発明のゲート絶縁膜を形成した。

【0026】本発明のゲート絶縁膜としては、ガラス状緩衝層5にシリコン酸窒化膜を、希土類酸化物層6にランタン酸化物を、誘電体層7に SrTiO_3 を用いた。さらに金薄膜をゲート電極8として用いた。

【0027】以下にその形成方法を示す。周知の有機溶媒、酸、アルカリ溶液等による洗浄方法を用いてシリコン基板を洗浄した後、1%に希釈したHF水溶液に30秒間浸して自然酸化膜を除去した後、脱イオン水で基板を洗浄した。基板洗浄後は真空チャンバに直ちに搬送した。

【0028】まず、ガラス状緩衝層の形成を行った。低酸素濃度雰囲気中、800℃でのRTA (Rapid Thermal Annealing) 処理により0.5nmの熱酸化膜を形成した。その後、アンモニア雰囲気中、700℃の熱処理によって、ガラス状のシリコン酸窒化膜を得た。

【0029】次に、希土類酸化物層として La_2O_3 薄膜を化学気相成長法で形成した。図2にその装置の概略図を示す。この装置は、真空ポンプ22によって常に排気し、かつ、薄膜形成室11の壁面は薄膜形成室加熱用ヒ

ータ20で100～250℃に加熱した。

【0030】 La_2O_3 薄膜形成の際、 $\text{La}(\text{dpm})_3$ (Dipivaloylmethanato Lanthanum) 有機金属を $\text{C}_4\text{H}_8\text{O}$ (テトラヒドロフラン) 還元溶剤に0.05～0.25 mol/Lの濃度で調合して原料液体とした。 La 原料容器14内の La 原料液体は、液体マスフローコントローラを用いて0.1～3 sccmの速度で供給した。

【0031】気化器17の温度を100～250℃に設定して原料液体を一気にガス化した後、 Ar キャリアガス198～500 sccmで搬送した。

【0032】次に、原料ガス/ Ar ガスと酸素ボンベ18からの酸素ガス2～800 sccmを混合した後、シャワヘッド19を介して薄膜形成室に導入した。薄膜形成室の圧力を圧力調整バルブ21により0.01～50 Torrとし、基板加熱用ヒータ13によりシリコン基板12の温度を300～450℃に加熱した状態で2分間成長させ、物理膜厚3 nmを得た。また、 La_2O_3 薄膜の形成後、未分解成分を除去するために、窒素雰囲気中600℃の後熱処理を行った。

【0033】さらに、誘電体層として SrTiO_3 薄膜を化学気相成長法で形成した。 Sr 原料容器15内に $\text{Sr}(\text{dpm})_2$ (Dipivaloylmethanato Strontium) 有機金属を $\text{C}_4\text{H}_8\text{O}$ 有機溶剤に0.05～0.25 mol/Lの濃度で溶解した液体原料と、 Ti 原料容器16内に $\text{Ti}(\text{i-OC}_4\text{H}_9)_4$ (Tetraisopropoxy Titanium) 有機金属を $\text{C}_4\text{H}_8\text{O}$ 有機溶剤に0.05～0.25 mol/Lの濃度で希釈した液体原料とを使用した。各液体原料は液体マスフローコントローラを用いて0.1～3 sccmの速度で供給した。

【0034】気化器の温度を100～250℃に設定して液体原料を一気にガス化した後、 Ar ガス198～500 sccmで搬送した。

【0035】次に、原料ガス/ Ar ガスと酸素反応ガス2～800 sccmを混合した後、薄膜形成室に導入した。薄膜形成室の圧力を0.01～50 Torrとし、形成温度を300～450℃として10～40分形成して、8～33 nmの物理膜厚を得た。

【0036】 SrTiO_3 薄膜の形成後には、結晶化および未分解成分の除去を目的として、低酸素雰囲気中800℃の後熱処理を行った。この場合、還元雰囲気中の熱処理を行うと容易に SrTiO_3 薄膜が還元されるので、低酸素雰囲気もしくは不活性雰囲気とするのがよい。

【0037】こうして形成したゲート絶縁膜の上に、さらに真空蒸着法によって金薄膜を100 nm程度形成しMOSFETを形成した。

【0038】シリコン基板を接地し、金上部電極に-2～2 V変化させた場合のC-V特性より SiO_2 換算膜厚を算出した。その結果、 SiO_2 換算膜厚は1.4～2.0 nmであった。

【0039】このMOSFETに対して、シリコン基板を接地し、金電極に+1 Vの電圧を印加した際のリーク電流値を図3に示した。 $10^{-3} \text{ A/cm}^2 \sim 10^{-6} \text{ A/cm}^2$ の良好なリーク電流特性を示した。

【0040】比較例として、シリコン基板上にシリコン酸窒化膜を形成せずに、 La_2O_3 薄膜と SrTiO_3 薄膜を同様に形成して、 SiO_2 換算膜厚1.3～1.9 nmを得た。

【0041】シリコン基板を接地し、金電極に+1 Vの電圧を印加した際のリーク電流値を比較例1として図3に示した。本実施例の結果と比較することで、ガラス状緩衝層の形成により、リーク電流を抑制できたことが分かる。

【0042】本実施例の形態によれば、シリコン基板との界面における界面準位の生成を抑えるのに有利な化学気相成長法を用いて、 SiO_2 換算膜厚1.5 nm以下で、かつ、低リーク電流なゲート絶縁膜を得ることができる。

【0043】〔実施例 2〕本発明のゲート酸化膜をスパッタ法により形成した。ガラス状緩衝層に SiYO 、希土類酸化物に Y_2O_3 、誘電体層に TiO_2 としたゲート絶縁膜を形成した場合について示す。なお、ゲート絶縁膜の形成の前には、実施例1と同様に基板を洗浄し、直ちに真空チャンバに搬送した。

【0044】まず、 $\text{Si}_{(0.9)}\text{Y}_{(0.1)}\text{O}$ の焼結体ターゲットを用いて、 SiYO ガラス状緩衝層をRFマグネトロンスパッタ法により形成した。アルゴンガス雰囲気0.1～10 Pa、基板温度300℃、RFパワー800 Wとし30秒間形成して物理膜厚0.4 nmを得た。

【0045】次に、 Y_2O_3 薄膜をRFマグネトロンスパッタ法によりシリコン基板上に形成した。ターゲットには Y_2O_3 焼結体を用い、アルゴンガス雰囲気0.1～10 Pa、基板温度300℃、RFパワー800 Wとして1分間形成し、物理膜厚2.5 nmを得た。

【0046】さらに、 TiO_2 薄膜をRFマグネトロンスパッタ法によりシリコン基板上に形成した。ターゲットには TiO_2 焼結体を用い、アルゴンガス雰囲気0.1～10 Pa、基板温度300℃、RFパワー800 Wの条件で1～5分間形成して、物理膜厚6～19 nmを得た。その後、二酸化チタンの結晶化のために、低酸素雰囲気中で700℃の熱処理を行った。

【0047】こうして形成したゲート絶縁膜の上に、さらに真空蒸着法によって金薄膜を100 nm程度形成して、MOSFETを形成した。

【0048】シリコン基板を接地し、金上部電極に-2～2 V変化させた場合のC-V特性より SiO_2 換算膜厚を算出した。その結果、 SiO_2 換算膜厚1.4～2.1 nmを得た。

【0049】このMOSFETに対して、シリコン基板を接地し、金電極に+1 Vの電圧を印加した際のリーク

電流値を図3に示した。 $10^{-4} \text{ A/cm}^2 \sim 10^{-7} \text{ A/cm}^2$ の良好なリーク電流特性を示した。

【0050】比較例として、シリコン基板上にガラス状緩衝層を形成せずに、 Y_2O_3 薄膜と TiO_2 薄膜のみを同様に形成して SiO_2 換算膜厚 $1.3 \sim 2.0 \text{ nm}$ を得た。シリコン基板を接地し、金電極に $+1 \text{ V}$ の電圧を印加した際のリーク電流値を比較例2として図4に示した。本実施例の結果との比較により、ガラス状緩衝層を形成した結果、リーク電流を抑制できたことが分かる。

【0051】〔実施例 3〕本発明のゲート絶縁膜を使用したMOSFETの製造工程を示す。本実施例では、 n 型のMOSFETに限定する。

【0052】低損失で有利なCMOSを形成する際には、図示しないが n ウェルと p ウェルを形成し、イオン注入の際にはそれぞれ p 型不純物と n 型不純物を打ち分けて製造すればよい。従って、本発明は n 型のMOSFETに限定されるものではない。また、本実施例で行う製法にも限定されない。

【0053】まず、図5に示すように、素子分離絶縁膜102は、シリコン基板101に深さ約 $0.4 \mu\text{m}$ の溝を形成した後に、化学気相成長法によって SiO_2 薄膜を全面に形成し、次にCMP (Chemical Mechanical Polishing) 法で平坦化させて作製した。

【0054】次に、シリコン基板表面に熱酸化法等によってシリコン酸化膜等のバッファ層103を約 10 nm 程度形成した。このバッファ層は、次工程で形成するダミーゲートをエッチングする際のストッパの役割をする。

【0055】ダミーゲートとするポリシリコン104およびシリコン窒化膜105を化学気相成長法により、それぞれ約 150 および約 50 nm 形成した。次いで、リソグラフィによりレジストパターンを形成し、ゲート形成予定領域以外の部分を異方性エッチングし、ポリシリコンとシリコン窒化膜で構成されるダミーゲートを形成した。

【0056】図6に示すように、形成したダミーゲートをマスクとして、 As 等のイオンを注入し、 $n(-)$ 拡散層106を形成した。その後、シリコン窒化膜を全面に 100 nm 程度形成し、さらに異方性エッチングを行い、図7に示す側壁絶縁膜107を形成した。

【0057】ダミーゲートおよび側壁絶縁膜をマスクとして、再度 As 等のイオン注入を行い、 $n(-)$ 拡散層より不純物濃度が高い $n(+)$ 拡散層108を形成した。この段階で、拡散層の活性化アニールを行ってもよく、各イオン注入後に活性化アニールを行ってもよい。

【0058】このようにして形成した $n(-)$ 拡散層と $n(+)$ 拡散層を合わせた領域が n 型MOSFETのソースおよびドレインとなる。

【0059】次に、TEOS (Tetra Ethoxy Silane) 原料を用いたプラズマ化学気相成長法等によって、

ダミーゲート上部のシリコン窒化膜の高さ程度、またはそれ以上の高さまで層間絶縁膜109を形成した。その後、図8に示すように、ダミーゲートを構成するポリシリコンが、表面に露出するまでCMP等の手段によって平坦化を行った。

【0060】図9に示すように、表面に露出したポリシリコンをエッチングし、さらにHF処理によってバッファ層を除去した。これによって、ゲート絶縁膜およびゲート電極を積層するための溝を形成した。

【0061】次に、本発明のゲート絶縁膜を形成した。まず、低酸素濃度雰囲気中、 800°C でのRTA (Rapid Thermal Annealing) 処理により 0.5 nm の熱酸化膜を形成した。その後、アンモニア雰囲気中で 700°C の熱処理によってシリコン酸窒化膜とし、図10に示すようにガラス状緩衝層110を形成した。

【0062】次に、図11に示すように、 Gd_2O_3 薄膜を化学気相成長法により 2 nm 形成し、希土類酸化物層111を得た。原料には $\text{Gd}(\text{dpm})_3$ (Dipivaloyl methane Gadolinium) 有機金属を $\text{C}_4\text{H}_8\text{O}$ 有機溶剤に $0.05 \sim 0.25 \text{ mol/L}$ の濃度で溶解した液体原料を用いて、実施例1と同様な条件で物理膜厚 2 nm の Gd_2O_3 薄膜を形成した。 Gd_2O_3 薄膜の形成後、膜中不純物の除去を目的として、不活性ガス中、 600°C 5分の熱処理を行った。

【0063】さらに、誘電体層112として物理膜厚 10 nm の TiO_2 薄膜を化学気相成長法で形成した。 Ti 原料には $\text{Ti}(\text{i-OC}_4\text{H}_9)_4$ 有機金属を $\text{C}_4\text{H}_8\text{O}$ 有機溶剤に $0.05 \sim 0.25 \text{ mol/L}$ の濃度で希釈した液体原料を使用した。

【0064】 TiO_2 薄膜形成後に、低酸素濃度中、 700°C 、5分の結晶化熱処理を行った。形成方法としては、電界効果型半導体装置の特性を劣化させる界面準位やトラップ等を最小限に抑えることのできる蒸着法を用いてもよい。また、スパッタ法を用いる場合には、平行化 (Collimated) スパッタ等の方法により、界面準位の形成を抑制する必要がある。

【0065】本発明のゲート絶縁膜に続いて、ゲート電極113を溝が完全に埋まるまで形成した (図12)。ゲート電極には TiN 薄膜を用い、 TiCl_4 原料ガスと NH_3 反応ガスを用いた化学気相成長法によって形成した。

【0066】本実施では、ゲート電極に TiN 電極を用いたが、ポリシリコン、金属元素、金属元素の窒化物、金属元素の珪化物および貴金属元素のいずれであってもよい。また、ゲート電極の形成方法は、前工程で形成したゲート絶縁膜にダメージを与えない化学気相成長法や蒸着法が望ましい。

【0067】プラズマ状態を利用するスパッタ法を用いる場合には、平行化 (Collimated) スパッタ等の手段を用いて、高エネルギー粒子によるゲート絶縁膜へのダ

メージを抑制する必要がある。

【0068】次に、図13のようにゲート電極を素子間で分離するために、エッチングを行った。その後、図示しないが周知の技術によって層間絶縁膜やコンタクトホールや配線を形成した。

【0069】以上のようにして、本発明のゲート絶縁膜を使用したn型のMOSFETを形成した。実施例1、2と同様に、C-V特性より SiO_2 換算膜厚を算出した。その結果、本実施の形態におけるゲート絶縁膜の SiO_2 換算膜厚1.4nmであった。

【0070】本実施の形態によれば、MOSFETにおいて SiO_2 換算膜厚で1.5nm以下の特性を有するゲート絶縁膜を形成することができた。従って、高集積化や低消費電力化に適したMOSFETを提供できた。

【0071】

【発明の効果】本発明によれば、ゲート絶縁膜をガラス状緩衝層と、希土類酸化物層と、前記希土類酸化物より比誘電率の高い誘電体層で構成することで、ゲート絶縁膜の高容量化、および、リーク電流の抑制が可能になるために、ゲート長を $0.1\mu\text{m}$ よりも大きいことが必要とされる SiO_2 換算膜厚1.5nm以下のゲート絶縁膜を有する電界効果型半導体装置を提供することができる。

【図面の簡単な説明】

【図1】本発明のMOSFETの構造を表す模式断面図である。

【図2】本発明のゲート絶縁膜を形成するための化学気相成長装置の概略図である。

【図3】本発明のゲート絶縁膜の SiO_2 換算膜厚とリーク電流密度の関係を示すグラフである。

【図4】本発明のゲート絶縁膜の SiO_2 換算膜厚とリーク電流密度の関係を示すグラフである。

【図5】本発明のゲート絶縁膜を有するn型MOSFET*

* Tの製造過程を示す模式断面図である。

【図6】本発明のゲート絶縁膜を有するn型MOSFETの製造過程を示す模式断面図である。

【図7】本発明のゲート絶縁膜を有するn型MOSFETの製造過程を示す模式断面図である。

【図8】本発明のゲート絶縁膜を有するn型MOSFETの製造過程を示す模式断面図である。

【図9】本発明のゲート絶縁膜を有するn型MOSFETの製造過程を示す模式断面図である。

10 【図10】本発明のゲート絶縁膜を有するn型MOSFETの製造過程を示す模式断面図である。

【図11】本発明のゲート絶縁膜を有するn型MOSFETの製造過程を示す模式断面図である。

【図12】本発明のゲート絶縁膜を有するn型MOSFETの製造過程を示す模式断面図である。

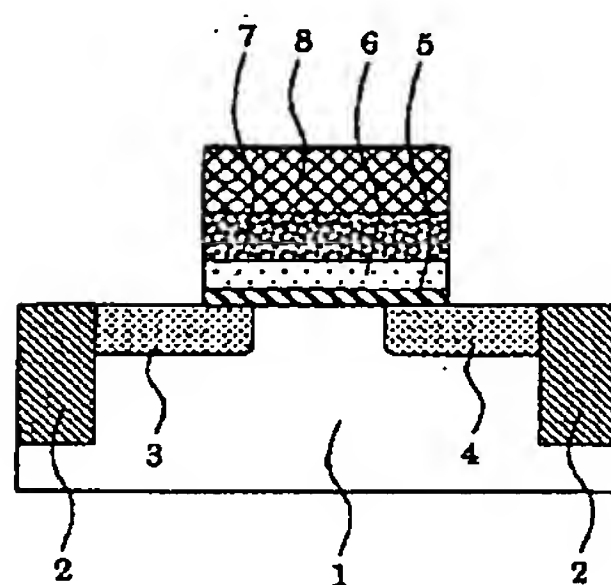
【図13】本発明のゲート絶縁膜を有するn型MOSFETの製造過程を示す模式断面図である。

【符号の説明】

1…シリコン基板、2…素子分離絶縁膜、3…ソース領域、4…ドレイン領域、5…ガラス状緩衝層、6…希土類酸化物層、7…誘電体層、8…ゲート電極、11…薄膜形成室、12…シリコン基板、13…基板加熱用ヒータ、14…La原料容器、15…Sr原料容器、16…Ti原料容器、17…気化器、18…酸素ポンプ、19…シャワーヘッド、20…薄膜形成室加熱用ヒータ、21…圧力調整バルブ、22…真空ポンプ、101…シリコン基板(p型)、102…素子分離絶縁膜、103…バッファ層、104…ポリシリコン、105…シリコン窒化膜、106…n(-)拡散層、107…側壁絶縁膜、108…n(+)拡散層、109…層間絶縁膜、110…ガラス状緩衝層、111…希土類酸化物層、112…誘電体層、113…ゲート電極。

【図1】

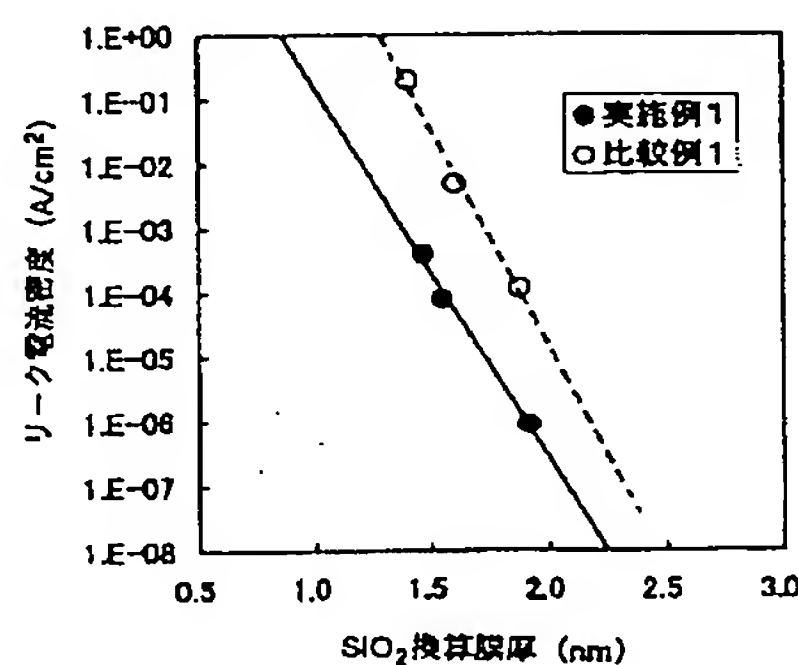
図 1



1…シリコン基板 2…素子分離絶縁膜 3…ソース領域
4…ドレイン領域 5…ガラス状緩衝層 6…希土類酸化物層
7…誘電体層 8…ゲート電極

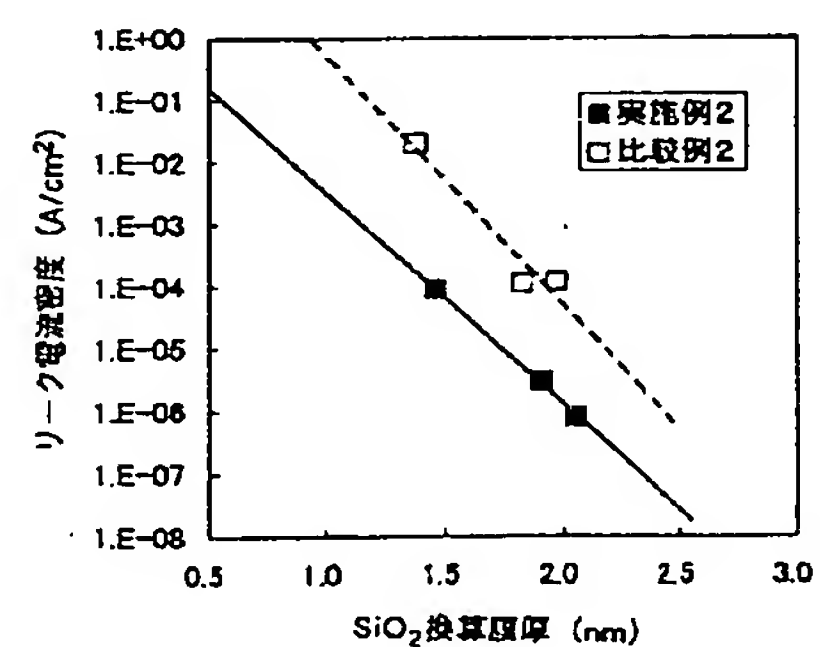
【図3】

図 3



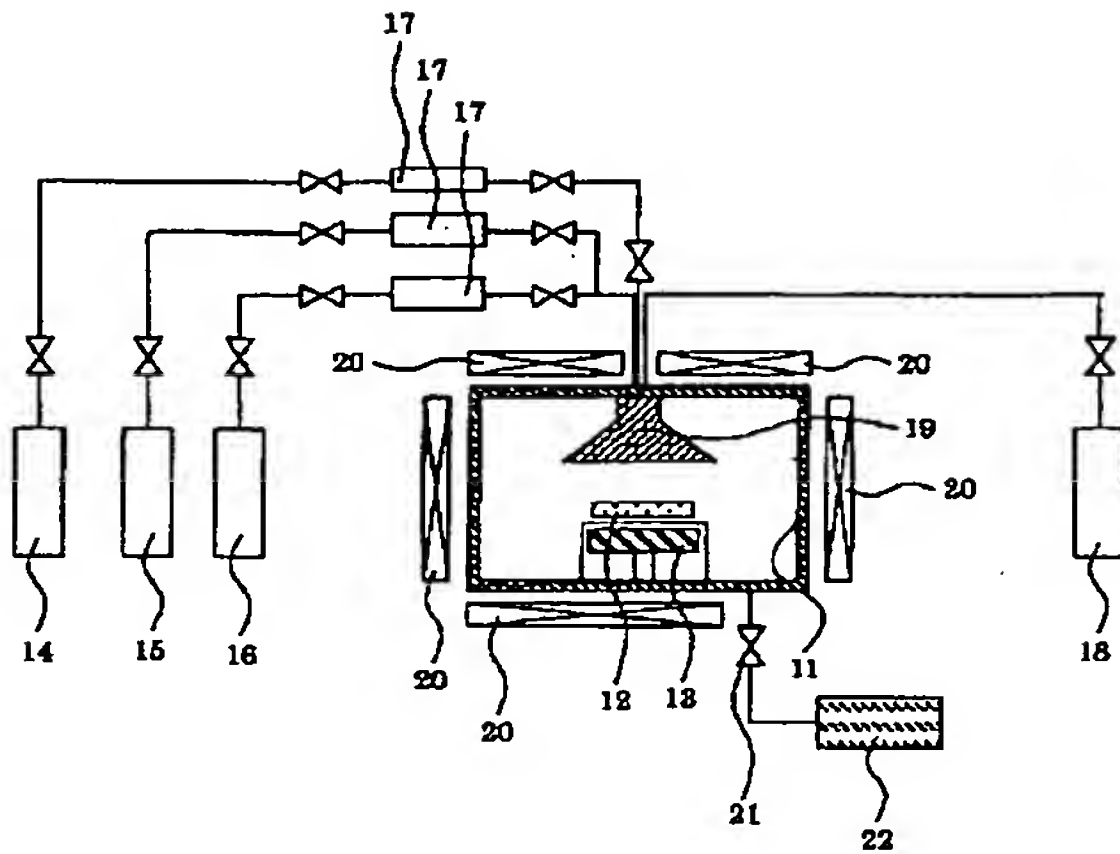
【図4】

図 4



【図2】

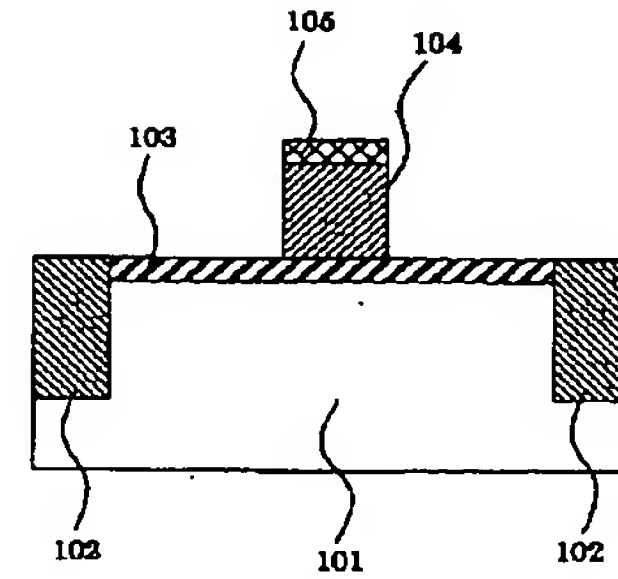
図 2



11…薄膜形成室 12…シリコン基板 13…基板加熱用ヒータ
 14…La 原料容器 15…Sr 原料容器 16…Ti 原料容器 17…気化器
 18…陰極ポンプ 19…シャワヘッド 20…薄膜形成室加熱用ヒータ
 21…圧力調整バルブ 22…真空ポンプ

【図5】

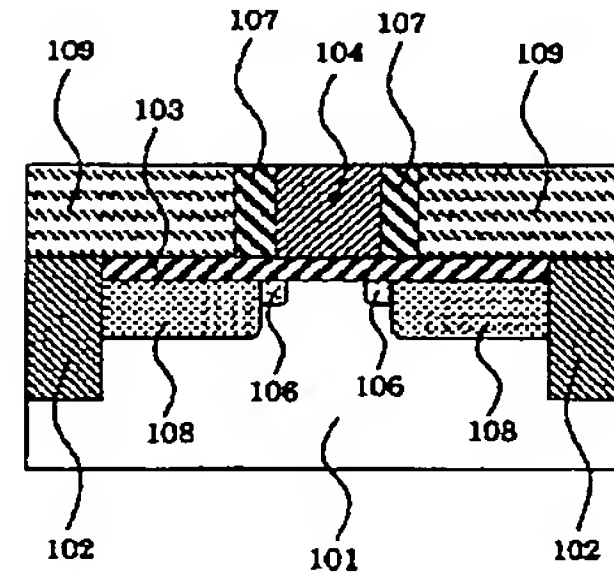
図 5



101…シリコン基板 (p型) 102…素子分離絶縁膜
 103…パッド層 104…ポリシリコン 105…シリコン窒化膜

【図8】

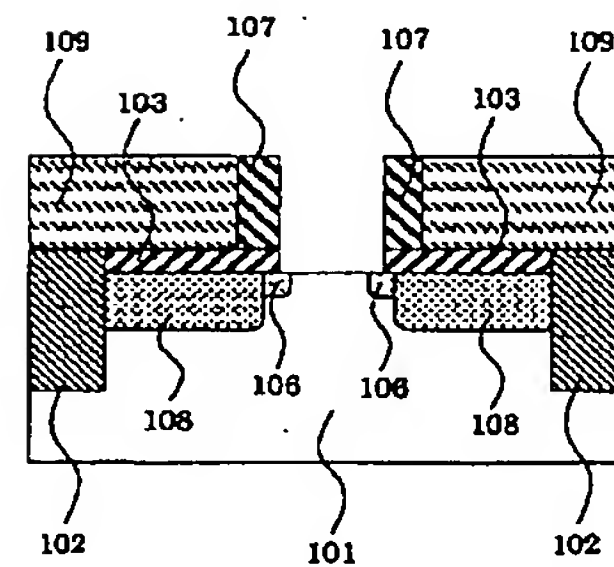
図 8



109…層間絶縁膜

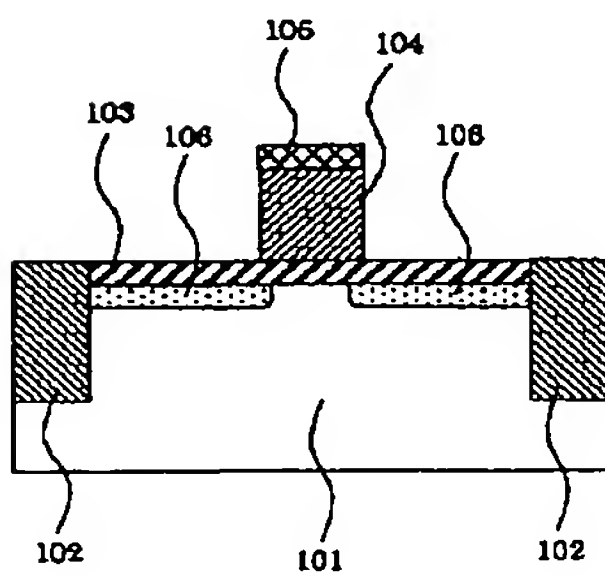
【図9】

図 9



【図6】

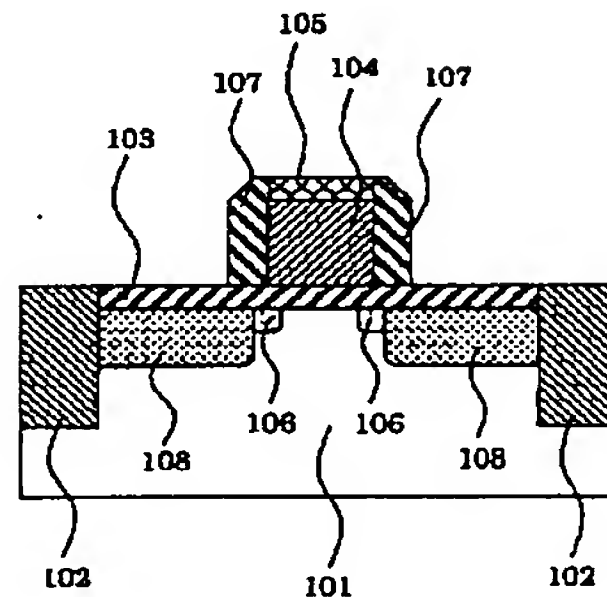
図 6



106…n(-) 拡散層

【図7】

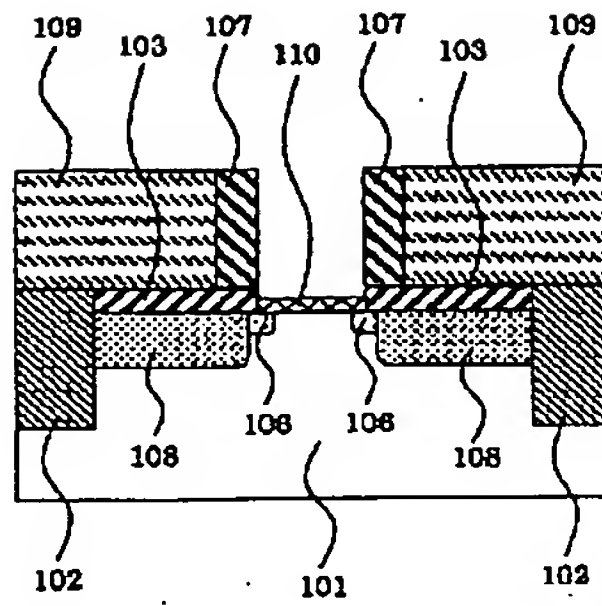
図 7



107…側壁絶縁膜 108…n(+) 拡散層

【図10】

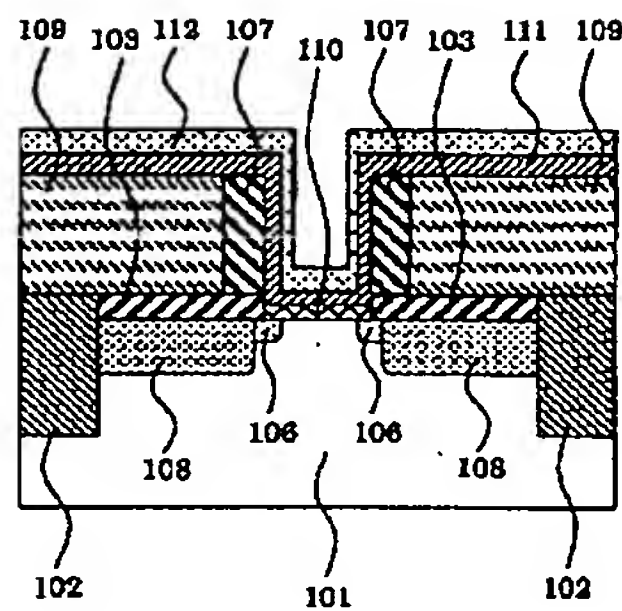
図 10



110…ガラス状保護層

【図11】

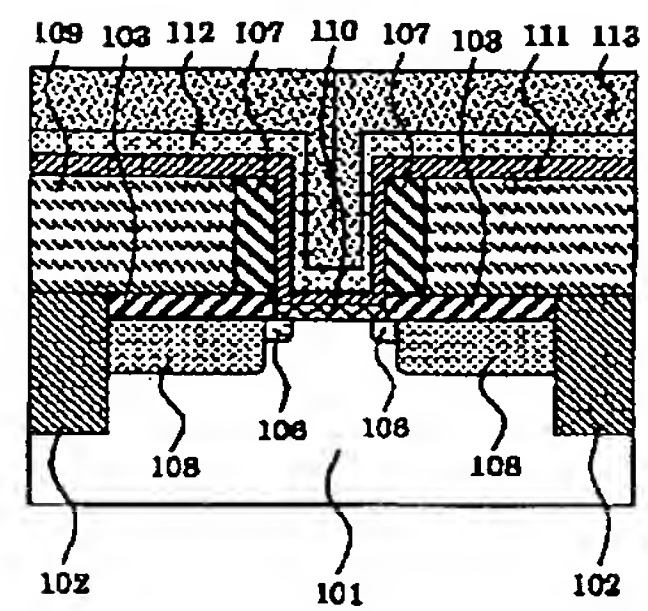
図 11



111…粘土類酸化物層 112…誘電体層

【図12】

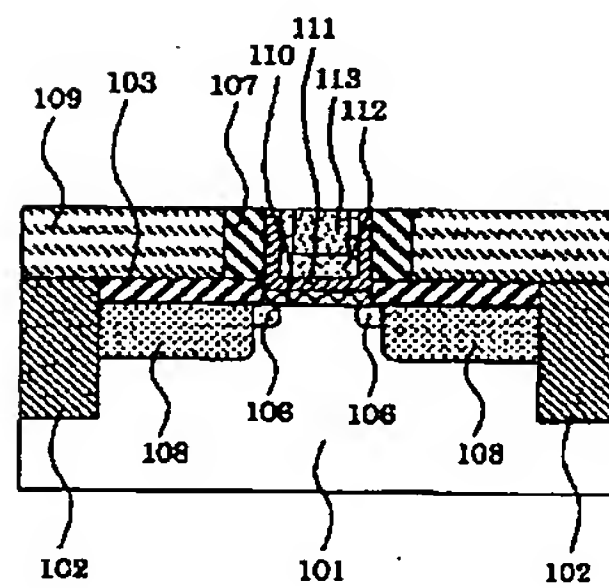
図 12



113…ゲート電極

【図13】

図 13



フロントページの続き

(72)発明者 鈴木 孝明
茨城県日立市大みか町七丁目1番1号 株
式会社日立製作所日立研究所内

(72)発明者 村田 康彦
茨城県日立市大みか町七丁目1番1号 株
式会社日立製作所日立研究所内

(72)発明者 平谷 正彦
東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内

Fターム(参考) 5F140 AA08 AA24 AB03 BA20 BD02
BD04 BD07 BD09 BD11 BD13
BE02 BE07 BE08 BE09 BE10
BE16 BE17 BF01 BF05 BF08
BG03 BG04 BG14 BG28 BG30
BG52 BG53 BH15 BK02 BK05
BK13 BK21 CB04 CC03 CC15
CE07